

# ПЛИС FPGA семейства Kintex®-7



## Kintex-7 1.0 В, 0.9 В

		XC7K70T	XC7K160T	XC7K325T	XC7K355T	XC7K410T	XC7K420T	XC7K480T
Логические ресурсы	Кристалл							
	Количество секций <sup>(1)</sup>	10 250	25 350	50 950	55 650	63 550	65 150	74 650
	Количество логических ячеек <sup>(2)</sup>	65 600	162 240	326 080	356 160	406 720	416 960	477 760
	Количество триггеров в КЛБ	82 000	202 800	407 600	445 200	508 400	521 200	597 200
Память	Максимальная ёмкость распределённой памяти, кбит	838	2 188	4 000	5 088	5 663	5 938	6 788
	Количество блоков памяти BRAM	135	325	445	715	795	835	955
	Общая ёмкость BRAM, кбит	4 860	11 700	16 020	25 740	28 620	30 060	34 380
Синхронизация	Количество блоков СМТ (MMCM+PLL)	6	8	10	6	10	7	8
Ресурсы ввода-вывода	Максимальное количество доступных контактов	300	400	500	300	500	350	400
	Максимальное количество дифференциальных пар	144	192	240	144	240	168	192
Встроенные аппаратные ядра	DSP48E1	240	600	840	1 440	1 540	1 680	1 920
	Gen2 PCI Express® блок	1	1	1	1	1	1	1
	Agile Mixed Signal / XADC	1	1	1	1	1	1	1
	Блок конфигурации с AES/HMAC	1	1	1	1	1	1	1
	Трансивер GTX (до 12.5 Гбит/с)	8	8	16	24	16	28	32
Классы быстродействия	Коммерческий (C)	-1, -2	-1, -2	-1, -2	-1, -2	-1, -2	-1, -2	-1, -2
	Расширенный коммерческий (E)	-2L, -3	-2L, -3	-2L, -3	-2L, -3	-2L, -3	-2L, -3	-2L, -3
	Индустриальный (I)	-1, -2	-1, -2	-1, -2	-1, -2	-1, -2	-1, -2	-1, -2
Конфигурация	Конфигурационная память, Мбит	23.0	51.1	87.3	107.8	121.1	125.7	143.7
	<b>Корпус</b>	<b>Размер/шаг</b>	<b>Максимальное число пользовательских контактов 3.3 В, 1.8 В (GTX)</b>					
	FBG484	23 x 23/1.0 мм	185, 100 (4)	185, 100 (4)				
	FBG676	27 x 27/1.0 мм	200, 100 (8)	250, 150 (8)	250, 150 (8)		250, 150 (8)	
	FFG676	27 x 27/1.0 мм		250, 150 (8)	250, 150 (8)		250, 150 (8)	
	FBG900	31 x 31/1.0 мм			350, 150 (16)		350, 150 (16)	
	FFG900	31 x 31/1.0 мм			350, 150 (16)		350, 150 (16)	
	FFG901	31 x 31/1.0 мм				300, 0 (24)		350, 0 (28)
	FFG1156	35 x 35/1.0 мм					400, 0 (32)	380, 0 (28)
								400, 0 (32)

Примечания:

(1) – Одна секция состоит из четырёх 6-ти входных генераторов логических функций (6-LUT - Look-Up Table) и восьми триггеров (FF)

(2) – Логическая ячейка = 4-LUT + FF

**Внимание: Все данные предварительные, окончательные см. на сайте производителя [www.xilinx.com](http://www.xilinx.com)**